

## ⑫ 公開特許公報(A)

昭64-89528

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④公開 昭和64年(1989)4月4日

H 01 L 21/60  
23/12  
23/52Z A A  
Z A A  
Z A AQ-6918-5F  
P-7738-5F  
A-8728-5F

※審査請求 未請求 発明の数 1 (全3頁)

⑥発明の名称 超電導ピングリッドアレイ

⑦特 願 昭62-247129

⑧出 願 昭62(1987)9月30日

⑨発 明 者 中 山 肇 茨城県筑波郡筑波町和台48番地 日立化成工業株式会社筑波開発研究所内

⑩発 明 者 須 佐 憲 三 茨城県筑波郡筑波町和台48番地 日立化成工業株式会社筑波開発研究所内

⑪発 明 者 林 房 司 茨城県筑波郡筑波町和台48番地 日立化成工業株式会社筑波開発研究所内

⑫発 明 者 吉 田 健 茨城県筑波郡筑波町和台48番地 日立化成工業株式会社筑波開発研究所内

⑬出 願 人 日立化成工業株式会社 東京都新宿区西新宿2丁目1番1号

⑭代 理 人 弁理士 廣 瀬 章

最終頁に続く

## 明 細 書

## 1. 発明の名称

超電導ピングリッドアレイ

## 2. 特許請求の範囲

1. 絶縁基板, 基板に搭載される超電導ICチップ, ICチップからの超電導微細配線, 基板のスルーホールに嵌挿される超電導ピン, 超電導微細配線と超電導ピンとを接続する超電導溶射物とで構成される超電導ピングリッドアレイ。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は超電導ピングリッドアレイに関する。

〔従来の技術〕

半導体素子(ICチップ)を配線板へ実装する手段であるピングリッドアレイ(PGA)は数多く提案されているが、超電導物質を使用したものはまだ提案されていない。

〔発明が解決しようとする問題点〕

最近、液体チツ素温度以上の温度で超電導現象を示す材料が発表されているが、これらは全て、

酸化物セラミックスである。

酸化物セラミックスを導体としたPGAやその実装を行なう場合、ICチップにダメージを与えないようなピンと配線の接続の取り方や、ピンの機械的強度が問題となる。

〔問題点を解決するための手段〕

図面に基づいて本発明を説明する。

まず、機械的強度を満足するために、ピン1は、超電導材料2を内部に詰めた金属管3とし、超電導接続はピン両端の断面で行なう。特にICチップ4とピン1との接続は、ICチップ4を破壊するような熱をかけずに行なう必要があるため、ピン1の一方の断面とICチップの配線5面をPGA基板6表面に合わせるように埋め込んだ後に、溶射法、好ましくはプラズマ溶射法又は蒸着法又はゾルゲン法などにより直接超電導体7を付着させて行なう。なお、PGA上の配線は、リフトオフ法を用いる場合は、超電導膜付着時、同時に形成できるが、一旦、全面に膜を形成した場合にはその後イオンミリングやRIEなどによりエッチン

グする必要がある。

また、上記のようにして作成したPGAの実装に際して相手側の配線との接続は、ピンのもう一方の端部断面で行なわねばならない。そこで、PGAのピン1をその先端断面が配線板の裏面とほぼ同一面になるように配線板のスルーホールに差し込んだ後、溶射法、好ましくはプラズマ溶射法によつて配線板の裏面配線8とピン断面とを超電導物質9で接続する。ここで、溶射を用いるのは、短時間に、膜厚を大きくしたことと、通常の半田リフローと同様に、下方からレジストを介してコンベア上を流れる配線板に連続的に膜形成できるためである。

#### 実施例

$YBa_2Cu_3O_7$  組成の超電導粉末を入れた金属管を用いて伸線し、これを裁断してピンを作成した。このピンの断面と、シリコンウエハー上に蒸着法によつて形成した超電導薄膜配線を有するICチップの配線面とを、窒化アルミニウム基板表面とほぼ同一面になるように同基板に埋め込ん

だ後、同面にレジストをのせて、プラズマ溶射し、次に、このレジストを剥離して（リフトオフ法）、ICとピンを結ぶ配線を形成した。

このようにして作製したPGAを、あらかじめスルーホールと厚膜配線を施こしたプリント板に、ピンの他方の端部断面がプリント板の裏面とほぼ同一面になるように差し込んだ状態で、レジストを介して下方から超電導体をプラズマ溶射して厚膜配線と接続するパターンを形成して、実装を完了した。

#### 〔発明の効果〕

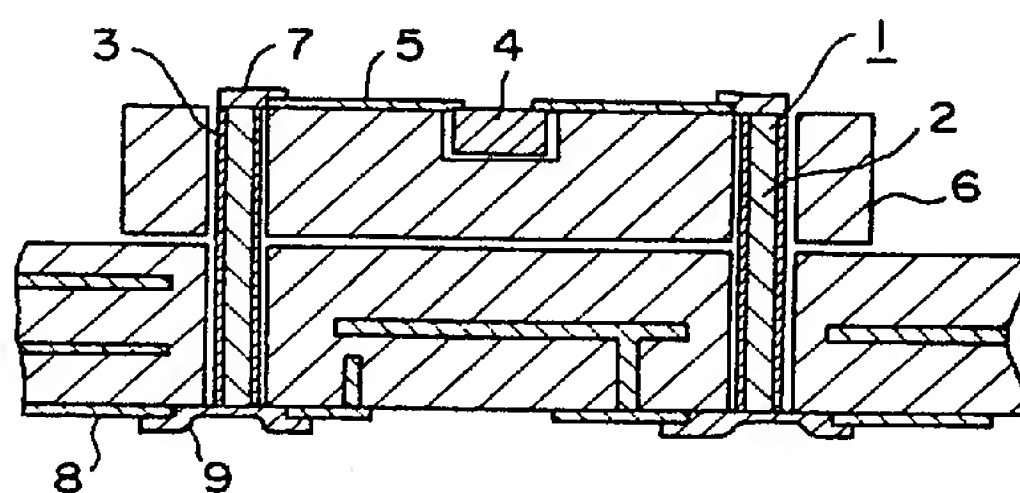
本発明によつて、酸化物超電導PGAの実装が可能になる。

#### 4. 図面の簡単な説明

第1図は本発明PGAの断面図である。

1…超電導ピン、2…超電導物質、3…金属管、4…超電導ICチップ、5…超電導微細配線部、7…超電導溶射物、8…超電導厚膜配線、9…超電導溶射物。

代理人 弁理士 廣瀬 章



第 1 図

第 1 頁の続き

⑤ Int. Cl. <sup>4</sup>

H 01 L 39/02  
H 05 K 3/46

識別記号

Z A A  
Z A A

庁内整理番号

Z-8728-5F  
Z-7342-5F

⑦ 発 明 者 福 富 直 樹 茨城県筑波郡筑波町和台48番地 日立化成工業株式会社筑  
波開発研究所内

**PAT-NO:** JP401089528A  
**DOCUMENT-IDENTIFIER:** JP 01089528 A  
**TITLE:** SUPERCONDUCTIVE PIN GRID ARRAY  
**PUBN-DATE:** April 4, 1989

**INVENTOR-INFORMATION:**

NAME	COUNTRY
NAKAYAMA, HAJIME	
SUSA, KENZO	
HAYASHI, FUSAJI	
YOSHIDA, TAKESHI	
FUKUTOMI, NAOKI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
HITACHI CHEM CO LTD	N/A

**APPL-NO:** JP62247129  
**APPL-DATE:** September 30, 1987

**INT-CL (IPC):** H01L021/60 , H01L023/12 , H01L023/52 ,  
H01L039/02 , H05K003/46

**US-CL-CURRENT:** 505/703 , 505/741

**ABSTRACT:**

**PURPOSE:** To allow mounting of an oxide superconductive pin grid array(PGA) by connecting a superconductive thin wire interconnected from a superconductive IC chip mounted on an insulating substrate and a superconductive pin inserted into a throughhole on the substrate with a superconductive spraying material.

**CONSTITUTION:** A pin 1 is a metal tube 3 wherein a

superconductive material 2 is staffed for satisfying mechanical strength requirements. A superconductive connection is made at both ends of the pin. After embedding into the substrate an end surface of the pin and a wiring surface of an IC chip 4 having superconductive thin film wiring formed on a silicon wafer by a deposition method so that both surfaces are almost on the same level as that of an aluminum nitride substrate, said surface with a resist having placed is plasma sprayed. Then the resist is removed (lift-off method) to form wiring connecting between the IC and the pin. The PGA thus fabricated, under the condition where it is inserted into a printed board wherein a throughhole and a thick film wiring have been formed in advance, so that the end surface of one end of the pin is almost on the same level as the back side of the printed board, is plasma sprayed with a superconductor from the bottom to form a pattern to be connected to the thick film wiring and to complete the mounting.

COPYRIGHT: (C)1989,JPO&Japio